



(19)

(11) Publication number: 2001035852 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11207568

(51) Intl. Cl.: H01L 21/3205 H01L 21/304

(22) Application date: 22.07.99

(30) Priority:

(43) Date of application  
publication: 09.02.01(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: FURUYA AKIRA

(74) Representative:

(54) MANUFACTURE OF  
SEMICONDUCTOR DEVICE

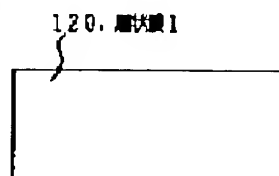
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a new manufacturing method of a semiconductor device, which prevents a wiring material from being oxidized when the above wiring material which is easily oxidized such as a copper material is buried in a groove formed in a photoresist and a layer type film, and simplifies a process of performing a chemical and mechanical process on the layer type film.

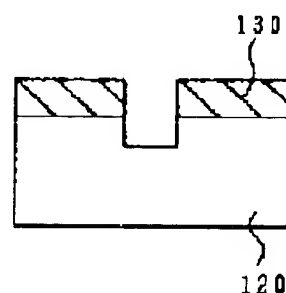
SOLUTION: A photoresist 130 is deposited on a layer type film 120 and after the photoresist 130 is exposed and developed, the film 120 is processed. After that, a layer type film 140 is deposited on the photoresist 130, is subjected to chemical and mechanical polishing and is processed to remove in order the film 140 and the photoresist 130. In such a way, the removal of the photoresist is also performed in a process for performing the chemical and mechanical polishing.

COPYRIGHT: (C)2001,JPO

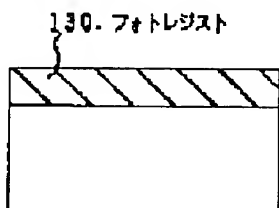
(a)



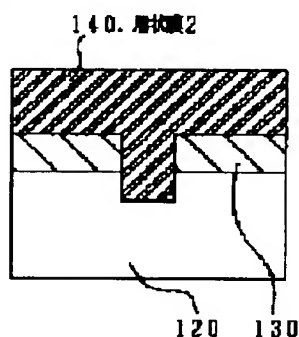
(d)



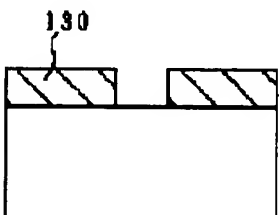
(b)



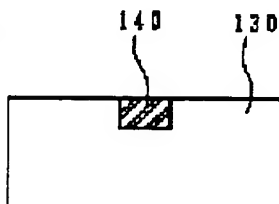
(e)



(c)



(f)



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35852

(P2001-35852A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/3205

21/304

識別記号

6 2 1

F I

H 0 1 L 21/88

21/304

テマコード\* (参考)

K 5 F 0 3 3

6 2 1 D

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号

特願平11-207568

(22) 出願日

平成11年7月22日 (1999.7.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 古谷 晃

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム (参考) 5F033 HH11 HH21 HH32 JJ11 JJ21

JJ32 KK11 KK21 KK32 MM01

MM02 MM12 MM13 NN06 NN07

QQ09 QQ11 QQ41 QQ48 QQ50

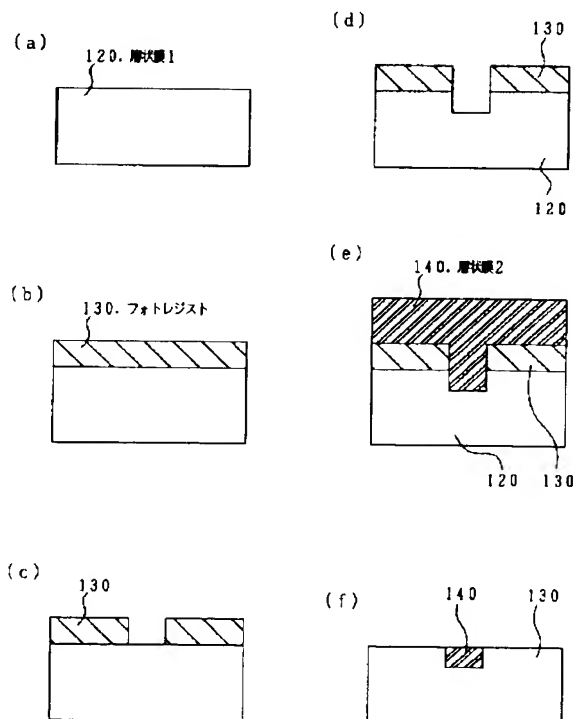
RR06 RR21 TT04 XX20 XX24

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 溝内に酸化しやすい銅等の配線材料を埋め込む際、前記配線材料の酸化を防ぎ、且つ、工程を簡略化した新規な半導体装置の製造方法を提供する。

【解決手段】 (a) 層状膜1 (120) 上に、(b) フォトリソグ (130) を堆積し、(c) フォトリソグ (130) を露光現像後、(d) 層状膜1 (120) を加工する。その後、(e) 層状膜2 (140) を堆積し、(f) 化学機械研磨を行い、加工して層状膜2、フォトリソグ (130) を順次除去する。このように、化学機械研磨を行う工程において、フォトリソグの除去も行う。



## 【特許請求の範囲】

【請求項1】 フォトリソグロウを化学機械研磨法により除去する工程を有することを特徴とする半導体装置の製造方法

【請求項2】 フォトリソグロウを堆積する工程と、このフォトリソグロウ上に層状膜を堆積する工程と、前記層状膜及びフォトリソグロウを化学機械研磨により除去する工程とを有することを特徴とする半導体装置の製造方法

【請求項3】 第1の層状膜の表面にフォトリソグロウマスクを形成する工程と、このフォトリソグロウマスクにより前記第1の層状膜を部分的に掘り進む工程と、フォトリソグロウマスク表面を含めて前記第1の層状膜に掘られた凹部が埋まる程度に第2の層状膜を堆積する工程と、少なくともフォトリソグロウマスクを除去するまで化学機械研磨法により平坦化する工程とを有することを特徴とする半導体装置の製造方法

【請求項4】 前記第2の層状膜は、導電性材料で形成したことを特徴とする請求項3記載の半導体装置の製造方法

【請求項5】 前記化学機械研磨用の研磨液は、フォトリソグロウ地膜に対するフォトリソグロウのエッチング速度が1.5倍以上の溶液を用いることを特徴とする請求項1乃至5の何れかに記載の半導体装置の製造方法

【請求項6】 前記化学機械研磨用の研磨液は、フォトリソグロウ剥離液を含む溶液を用いることを特徴とする請求項1乃至5の何れかに記載の半導体装置の製造方法

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に係わり、特に、溝内に酸化しやすい銅等の配線材料を埋め込み際、配線材料の酸化を防ぎ、且つ、工程を簡略することを可能にした半導体素子の配線形成方法に関する。

## 【0002】

【従来の技術】 近年の大規模LSI設計に於ける課題の一つに、配線抵抗と配線間容量に起因する信号遅延の回避という課題がある。

【0003】 信号遅延を材料的な面から見た場合の低減策として、配線の層間絶縁膜に低誘電率材料を用いて配線遅延RCの内のC（容量）を低減し、遅延を減少することが検討されている。低誘電率材料としては、従来のSiO<sub>2</sub>よりも誘電率の低い有機系の材料Polymide、BCB（bis-benzocyclobutene）、a-C:F等が検討されている。また、配線遅延RCの内のR（抵抗）を低減するため、配線材料にCu等の従来のAlよりも抵抗の低い材料が検討されている。

【0004】 また、多層化による構造的な手法が提案されている。図8に配線層数が一層（図8（a））と二層

（図8（b））と異なる以外は同じ設計ルールで作成したフリップフロップ回路を示す。一層から二層に多層化することにより、回路サイズは60%に低減している。

この様に多層化する事で配線長は短くなり、配線遅延RCを一般的に低減する事が出来る。回路が複雑化するほど多層化は面積縮小に効果的であり、信号遅延回避のため、近い将来、8～10層の多層構造となる可能性があることが指摘されている。

【0005】 Cuや有機系低誘電率材料を用いる場合の課題の一つは、フォトリソグロウの除去が困難な事である。即ち、フォトリソグロウ除去は、通常酸素雰囲気中プラズマでアッシングをする事により行われるが、Cuの様に容易に酸化される物質を加工する場合、酸素雰囲気中プラズマで酸化されて比抵抗の増加、密着性の低下、モジュールの低下及びそれらによる信頼性の低下等の問題が生じる。また、有機系低誘電率材料は、酸素雰囲気中プラズマでエッチングされてしまうため、アッシングの終了制御のマーキングが狭くなり、更に、有機系低誘電率材料の加工形状もなる。また、エッチング中にフォトリソグロウ形状がなまっていた場合、フォトリソグロウが完全に無くなるまでアッシングすると、有機系低誘電率材料の加工形状もなる等の問題が生じる。

【0006】 配線の多層化による課題の一つに工程数の増加と、それによるコスト増加、生産性の低下がある。近年、配線形成は、目ずれ低減、加工精度向上、工程数削減等の理由で埋め込み法により形成されることが多くなっている。従来、埋め込み配線（コンタクトは、特開平8-195393号公報、特開平8-293498号公報に示される様に、配線溝・コンタクト溝を形成後にフォトリソグロウを除去し、所望の材料を埋め込み、化学機械研磨により平坦化する工程を用いて形成されていた。この場合、図9に示すように、例えば、n層配線（80）まで形成してある上に埋め込み法でn+1層配線（110）を形成する場合、枚多くの工程が必要となる。即ち、図9の工程は、（b）層間絶縁膜（70）上のフォトリソグロウ塗布、（c）露光・現像、（d）ビア形状エッチング、（e）レジスト剥離、（f）ビア埋め込み、（g）研磨加工、（h）層間絶縁膜堆積、（i）レジスト塗布、（j）露光・現像、（k）配線形状エッチング、（l）レジスト剥離、（m）配線（110）埋め込み、（n）研磨加工、（o）層間絶縁膜堆積工程からなる。実際に作成する場合には、これに加えて反射防止膜、配線下地層形成等が必要であり、配線を二層増やすことで10～20工程増加する。将来半導体装置の配線層は8層以上になると考えられているので、配線層がけで工程数を100工程前後も費やすこととなり、生産性の低下、コストの増加の原因となる。

## 【0007】

【発明の解決しようとする課題】 本発明の目的は、上記した従来の技術の欠点を改良し、特に、溝内に酸化しやす

い銅等の配線材料を埋め込む際、前記配線材料の酸化を防止、且つ、工程を簡略化した新規な半導体装置の製造方法を提供するものである。

#### 【0008】

【課題を解決するための手段】 本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0009】 即ち、本発明に係わる半導体装置の製造方法の第1態様は、フォトリソストを化学機械研磨法により除去する工程を有することを特徴とするものであり、又、第2態様は、フォトリソストを堆積する工程と、このフォトリソスト上に層状膜を堆積する工程と、前記層状膜及びフォトリソストを化学機械研磨により除去する工程とを有することを特徴とするものであり、又、第3態様は、第1の層状膜の表面にフォトリソストマスクを形成する工程と、このフォトリソストマスクにより前記第1の層状膜を部分的に掘り進む工程と、フォトリソストマスク表面を含めて前記第1の層状膜に掘られた凹部が埋まる程度に第2の層状膜を堆積する工程と、少なくともフォトリソストマスクを除去するまで化学機械研磨法により平坦化する工程とを有することを特徴とするものであり、又、第4態様は、前記第2の層状膜は、導電性材料で形成したことを特徴とするものであり、又、第5態様は、前記化学機械研磨用の研磨溶液に、フォトリソスト下地膜に対するフォトリソストのエッチング速度が1.5倍以上の溶液を用いることを特徴とするものであり、又、第6態様は、前記化学機械研磨用の研磨溶液に、フォトリソスト剥離液を含む溶液を用いることを特徴とするものである。

【0010】 従来は、フォトリソストを酸素プラズマ中エッチングと有機溶剤による溶解の組み合わせで除去していたが、本発明では、フォトリソストを用いて加工を行った後に、最初に行われる化学機械研磨でこのフォトリソストを除去する。更に、研磨溶液にフォトリソストを選択的に溶解する溶液、例えば、フォトリソスト剥離液を混入する事により、化学機械研磨のエッチング速度向上を向上させる事ができ、また、フォトリソスト研磨による汚染を低減する事が出来る。

【0011】 従来手法でCu配線をエッチングで加工した場合、或いは、Cu配線パビアホールを形成する場合、フォトリソスト除去時にCuが酸化する問題が生じたが、本発明では、フォトリソスト除去を酸素雰囲気中プラズマではなく化学機械研磨を用いて行うため、酸化を防いで、高信頼性Cu配線を形成することが出来る。

【0012】 また、従来手法で有機系低誘電率材料を用いて配線層形状を作成する場合には、フォトリソスト除去時に有機系低誘電率材料の形状劣化が生じるという問題が生じた。これは、酸素プラズマ雰囲気中でフォトリソストを除去する際に、エッチング中のフォトリソスト形状のなまりを反映して有機系低誘電率材料の加工形状が

なまる、又は、酸素プラズマ雰囲気により有機系低誘電率材料自体がエッチングされる等の理由による。本発明ではフォトリソストを化学機械研磨により除去するが、化学機械研磨にはデラミテーション等の形状劣化は報告されているものの、基本的には平坦性に優れていることが知られている。従って、有機系低誘電率材料層状膜の加工形状はなまらない。また、従来はフォトリソスト除去の終了制御のバラバラであったという問題が生じた。しかしながら、本発明では化学機械研磨によりフォトリソストを除去するため、フォトリソストと有機系低誘電率材料の研磨速度、エッチング、反射・吸収率の差などを利用して容易に除去終了出来る。

【0013】 また、従来手法で配線層を形成する場合には、図9に示すように、最低2回はフォトリソストを除去しなければならない。フォトリソストは、酸素プラズマ中エッチング、有機溶剤による溶解、又は、それらの組み合わせにより行われる。また、除去後に外観検査等も行われる。従って、本発明の効果によりフォトリソスト剥離工程を削減することで、工程数を10工程前後減少させることが出来る。

【0014】 将来半導体装置の配線層は8層以上になると考えられているので、仮に本手法で配線層だけに適用した場合でも工程数を数十工程削減できる。無論、本発明の効果はビアや配線の形成だけでなく、それ以外の化学機械研磨を用いて埋め込みを行う半導体製造プロセスにも適用出来る事は言うまでもない。

#### 【0015】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】 図1は、本発明の実施の形態の断面図である。図1を参照すると、本発明は、(a)層状膜1(120)上に、(b)フォトリソスト(130)を堆積し、(c)フォトリソスト(130)を露光現像後、(d)層状膜1を加工する。その後、(e)層状膜2(140)を堆積し、(f)化学機械研磨を行い加工して、層状膜2(140)、フォトリソスト(130)を順次除去する。

【0017】 更に、層状膜1、層状膜2にフォトリソスト剥離液に対する耐食性がある場合、化学研磨液にフォトリソスト剥離液を混入しても良い。フォトリソストと層状膜1、層状膜2の研磨速度に有意な差が生じ、それによりフォトリソスト剥離が容易になる、研磨停止が容易になる等の理由により化学機械研磨の生産性、正確性を向上させる事が出来るからである。

【0018】 フォトリソスト剥離液の研磨液への混入量は、通常数%程度以下で十分効果があるが、それ以上でも構わない。特に、化学機械研磨のバードによっては層状膜1、層状膜2に対して腐食性のある研磨液を使用しなくても良い場合があり、その場合には、フォトリソスト剥離液のみで研磨しても良い。

10

20

30

40

50

【0019】ここで、層状膜1と層状膜2の組み合わせには、絶縁膜材料膜と配線材料膜、基板と絶縁材料膜、配線材料膜と絶縁膜材料膜等、化学機械研磨を用いて埋め込みを行う半導体製造プロセスの全ての組み合わせが適用出来る。絶縁膜材料としては、半導体素子中で使用されている絶縁体 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiO}_2$ 、 $\text{BPSSG}$ や使用が検討されている $\text{SiLK}$ 、 $\text{Polyimide}$ 、 $\text{BCB}$  (bis-benzocyclobutene)、 $\alpha\text{-C}_6\text{F}_5$ 等低誘電率膜等が全て適用できる。また、配線材料としては、半導体素子中で使用

【0020】また、煩雑さを避けるために示していないが、通常半導体材料で使用され検討されている手法を用いて、コンタクトや配線が形成される事は言うまでもない。これは、例えば、配線層を $\text{Al}$ 、 $\text{Cu}$ と主とする材料と他の元素を主成分とする材料との多層構造とする等の方法である。

【0021】従来方法では、図5(d)に示す層状膜1の加工後に、図5(e)に示すように、フォトレジストの除去が行われるが、本発明では、図1(f)に示すように、化学機械研磨時にフォトレジストを除去するため、特別なフォトレジスト除去工程を必要とせず工程数削減が図れる。また、層状膜1に有機膜低誘電体膜を用いた場合に、層状膜1の加工形状のなまりが無くなり、更に研磨ストップマージンが増加する。また、層状膜1や層状膜1の下地に $\text{Cu}$ 等の酸化されやすい層状膜を用いた場合は、フォトレジスト除去による層状膜1の酸化を防止することが出来る。

【0022】

【実施例】以下に、本発明の実施例を説明する。

【0023】(実施例1) 図2は、本発明の第一の実施例を説明するための断面図である。

【0024】なお、 $\text{BCB}$  (150) の下方に半導体ウェハ、既に表面に何らかの加工のなされた半導体ウェハ、或いはそれらの上に層状膜や加工された層状膜が単層或いは複数層存在しても同様の効果が得られることは言うまでもない。

【0025】図2を参照すると、本発明の第一の実施例は、(a) 層状膜1  $\text{BCB}$  (150)  $300\sim1000\text{nm}$ 上に、(b) フォトレジスト (160) を $400\sim1500\text{nm}$ 堆積し、(c) フォトレジスト (160) を露光現像後、(d) 層状膜1  $\text{BCB}$  (150) を $200\sim800\text{nm}$ 加工する。その後、(e) 層状膜2として $\text{Ta}$ 、 $\text{Ta}_2\text{N}$ 膜 (180)  $5\sim200\text{nm}$ 、 $5\sim200\text{nm}$ 、 $\text{Cu}$ 膜 (170)  $300\sim1000\text{nm}$ を順次堆積し、(f) 化学機械研磨を行い、層状膜2の $\text{Ta}$ 、 $\text{Ta}_2\text{N}$ 膜 (180) 及び $\text{Cu}$ 膜 (170)、フォトレジスト (160) を順次除去する。

【0026】本実施例の半導体装置を従来法で作成した場合、図5に示す様に(a)～(g)の8工程を要するのに対し、本発明では(a)～(f)の7工程で工程数が削減できている。実際には従来法のレジスト剥離は1工程ではなく、有機剥離と炭化処理の少なくとも2工程が通常必要とされるから、実際に本発明を適用した場合より多くの工程が削減できると考えられる。また、良く知られているように、 $\text{BCB}$ 、 $\text{Cu}$ 、 $\text{Ta}$ 、 $\text{Ta}_2\text{N}$ は、何れもフォトレジスト剥離液に対して耐食性があるので、研磨液にフォトレジスト剥離液を含む物を使用出来る。また、工程数削減の効果は若干減少するが、

(d)の後にウエット処理で側壁に堆積したハーフエッチなどを除去しても良い。

【0027】これにより工程数削減、 $\text{BCB}$ 加工形状なまりの抑制、加工マージンの増加、下地に $\text{Cu}$ 配線がある場合は、 $\text{Cu}$ 配線の酸化防止が出来る。

【0028】(実施例2) 次に、本発明の第二の実施例について、図3の断面図を参照して詳細に説明する。

【0029】図3を参照すると、本発明の第二の実施例は、(a) 層状膜1である $\text{Si}$ 窒化膜 (190)  $100\sim1000\text{nm}$ 、 $\text{Si}$ 基板 (200) 上に、(b) フォトレジスト (210) を $400\sim1500\text{nm}$ 堆積し、(c) フォトレジスト (210) を露光現像後、(d) 層状膜1である $\text{Si}$ 窒化膜、 $\text{Si}$ 基板を $\text{Si}$ 基板の加工深さが $100\sim1000\text{nm}$ となる様に加工する。その後、(e) 層状膜2として $\text{Si}$ 酸化膜 (220) を埋め込み、(f) 化学機械研磨を行い層状膜2の $\text{Si}$ 酸化膜 (220)、フォトレジスト (210)、 $\text{Si}$ 窒化膜 (190) を順次除去する。

【0030】本実施例の半導体装置を従来法で作成した場合、図6に示す様に(a)～(g)の8工程を要するのに対し、本発明では(a)～(f)の7工程で工程数が削減できている。実際には、従来法のレジスト剥離は1工程ではなく、有機剥離と炭化処理の少なくとも2工程が通常必要とされるから、実際に本発明を適用した場合より多くの工程が削減できると考えられる。良く知られているように、 $\text{Si}$ 、 $\text{Si}$ 窒化膜、 $\text{Si}$ 酸化膜は何れもフォトレジスト剥離液に対して耐食性があるので、研磨液にフォトレジスト剥離液を含む物を使用する。これにより工程数削減が出来る。

【0031】(実施例3) 次に、本発明の第三の実施例について、図4の断面図を参照して詳細に説明する。

【0032】図示していないが、 $\text{BCB}$  (230) の下方に半導体ウェハ、既に表面に何らかの加工のなされた半導体ウェハ、或いはそれらの上に層状膜や加工された層状膜が単層或いは複数層存在しても同様の効果が得られることは言うまでもない。

【0033】図4を参照すると、本発明の第三の実施例は、(a)  $\text{BCB}$  (230) に $\text{Ta}$ 、 $\text{Ta}_2\text{N}$  (250)  $5\sim200\text{nm}$ 、 $5\sim200\text{nm}$ 、 $\text{Cu}$  (240)  $300\sim1000\text{nm}$ を順次堆積し、(b) フォトレジスト (260) を $400\sim1500\text{nm}$ 堆積し、(c) フォトレジスト (260) を露光現像後、(d) 層状膜2の $\text{Ta}$ 、 $\text{Ta}_2\text{N}$ 膜 (250) 及び $\text{Cu}$ 膜 (240)、フォトレジスト (260) を順次除去する。

0-700nmが、順次埋め込まれて形成された配線路上に、(b) Si窒化膜(260)5-100nmを堆積し、層状膜1としてBCB(262)500-2000nmを堆積し、(c) フォトリソスト(270)を分布する。(d) フォトリソスト(270)をコンタクト形状に露光現像後、(e) 層状膜1(262)BCBを200-1000nmエッチングガスに酸素を含む化合物を用いた雰囲気中でエッチングし、(f) フォトリソスト(270)を有機剥離や酸素雰囲気中プラズマ等を用いた通常的手法により除去する。その後、(g) フォトリソスト(271)を分布し、(h) 配線路上に露光現像後、まず(i) 層状膜1(262)BCBをエッチングガスに酸素を含む化合物を用いた雰囲気中でSi窒化膜(260)が露出するまでエッチングし、次に、(j) Si窒化膜(260)をフッ素系プラズマやAr、H<sub>2</sub>プラズマ等でエッチングする。その後、(k) 層状膜2としてTa、Ta<sub>2</sub>N<sub>5</sub>200nm、5-200nm、Cu300-700nm(220)を順次埋め込み、(l) 化学機械研磨を行い、配線露出の外側にある層状膜2であるCu、Ta、Ta<sub>2</sub>N<sub>5</sub>、フォトリソストを順次除去する。

【0034】本実施例の半導体装置を従来法で作成した場合、図7に示す様に、(a)-(m)の13工程を要するのに対し、本発明では(a)-(f)の12工程で工程数を削減できている。実際には、従来法のレジスト剥離は1工程ではなく、有機剥離と炭化処理の少なくとも2工程が通常は必要とされるから、実際に本発明を適用した場合、より多くの工程が削減できると考えられる。また、レジストの炭化処理による下地Cuの酸化を防止するために、炭化処理後にストッパーのSi窒化膜(390)をエッチングする必要がある。従って、Si窒化膜は、加工時には、Si窒化膜上層のBCBは、レジストで被覆されないため、形状が劣化する。また、良く知られているように、BCB、Cu、Ta、Ta<sub>2</sub>N<sub>5</sub>は、何れもフォトリソスト剥離液に対して耐性があるので、研磨液にフォトリソスト剥離液を含む物を使用する事が出来る。また、工程数削減の効果は若干減少するが、(d)の後に、ウェット処理で側壁に堆積したパーティクルなどを除去しても良い。

【0035】これにより、工程数削減、上部Cu配線形成時のCu酸化の防止、BCB加工形状なまりの抑制、加工マージンの増加が出来る。

#### 【0036】

【発明の効果】本発明の第一の効果は、工程数を削減する半導体装置形成方法を提供できる事である。その理由は、従来、図1(d)に示す層状膜1の加工後に、フォトリソストを除去していたが、本発明では、図1(f)に示す様に、化学機械研磨時にフォトリソストを除去するため、特別なフォトリソスト除去工程を必要としないためである。

【0037】本発明の第二の効果は、有機系低誘電体膜を加工する際の加工精度を向上出来る事である。その理由は、従来フォトリソスト除去のための酸素雰囲気中のプラズマで有機系低誘電体膜をエッチングしていたのに対し、本発明では、酸素雰囲気中プラズマを用いない化学機械研磨法によりフォトリソストを除去する為である。また、研磨液にフォトリソスト剥離液を用いる事で、研磨ストロップが容易になる為である。

【0038】本発明の第三の効果は、層状膜1のエッチング後に酸化されやすいCu等の物質が最表面に出るプロセスが可能となりプロセスの自由度が増えることである。その理由は、従来はフォトリソスト除去を酸素雰囲気中プラズマで行っていたため、加工後に酸化されやすいCu等の物質が最表面にあった場合、信頼性の劣化が生じる等の問題があるため、そのようなプロセスは許されなかったのに対し、本発明に於いては、フォトリソストを酸素雰囲気中プラズマを用いない化学機械研磨法により除去する為である。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置形成方法の実施の形態を示す試料の断面図である。

【図2】本発明の半導体装置形成方法の第一の実施例を示す試料の断面図である。

【図3】本発明の半導体装置形成方法の第二の実施例を示す試料の断面図である。

【図4】本発明の半導体装置形成方法の第三の実施例を示す試料の断面図である。

【図5】本発明の半導体装置形成方法の第一の実施例で形成する半導体装置を従来法で形成する場合の形成方法を示す試料の断面図である。

【図6】本発明の半導体装置形成方法の第二の実施例で形成する半導体装置を従来法で形成する場合の形成方法を示す試料の断面図である。

【図7】本発明の半導体装置形成方法の第三の実施例で形成する半導体装置を従来法で形成する場合の形成方法を示す試料の断面図である。

【図8】多層化による面積縮小の効果を説明する図である。

【図9】本発明の従来例を示す断面図である。

#### 【符号の説明】

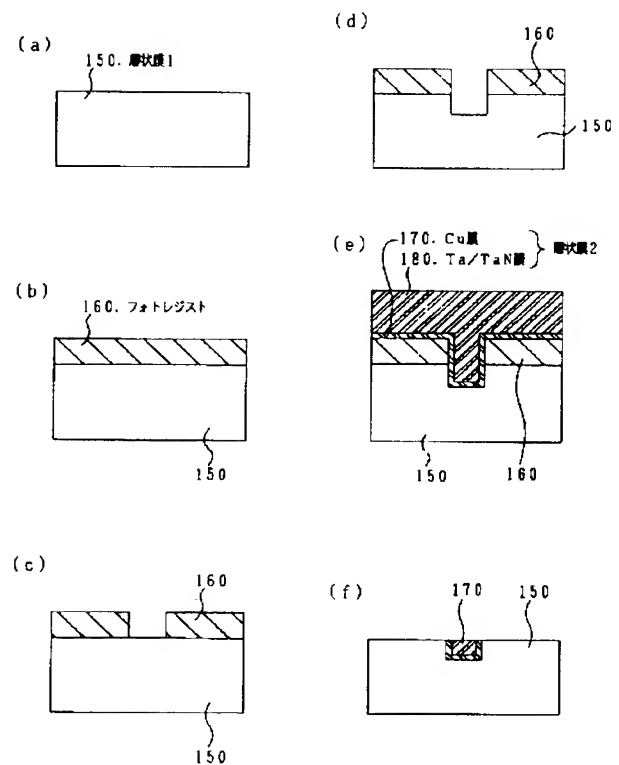
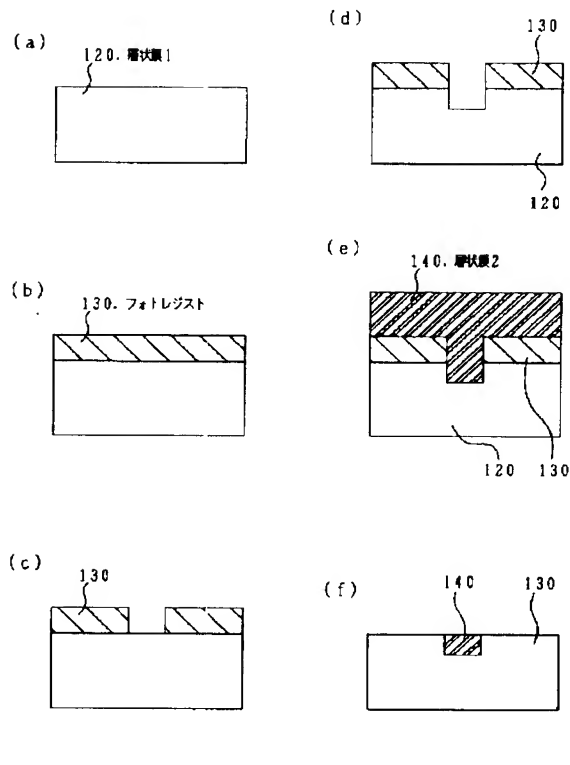
- 10 一層目配線
- 20 コンタクト
- 30 ゲート
- 40 p型半導体
- 50 n型半導体
- 60 二層目配線
- 70 配線層間膜
- 80 n層目配線
- 90 フォトリソスト
- 100 ビア

110 (n+1)層目配線  
 120 層状膜1  
 130 フォトリソグスト  
 140 層状膜2  
 150 BCB  
 160 フォトリソグスト  
 170 Cu  
 180 Ta/TaN  
 190 Si酸化膜  
 200 Si  
 210 フォトリソグスト  
 220 Si酸化膜  
 230 BCB  
 240 Cu  
 250 Ta/TaN

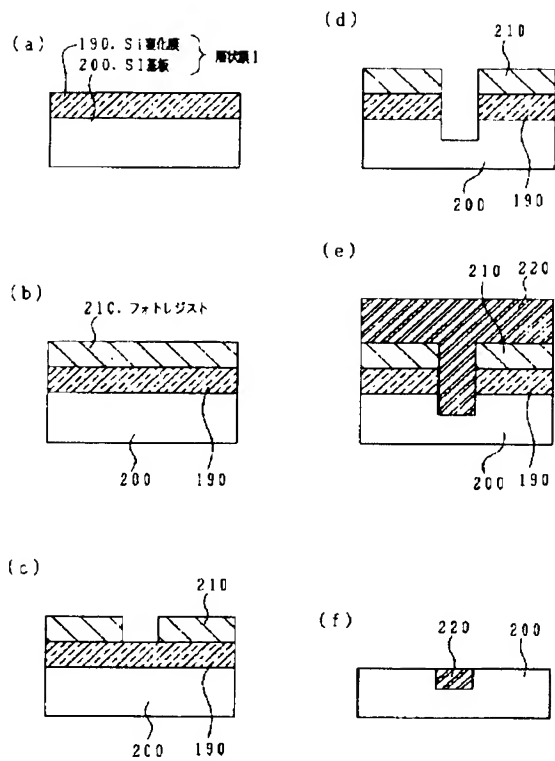
260 Si酸化膜  
 270 フォトリソグスト  
 280 BCB  
 290 フォトリソグスト  
 300 Cu  
 310 Ta/TaN  
 320 Si酸化膜  
 330 Si  
 340 フォトリソグスト  
 350 Si酸化膜  
 360 BCB  
 370 Cu  
 380 Ta/TaN  
 390 Si酸化膜  
 400 フォトリソグスト

【図1】

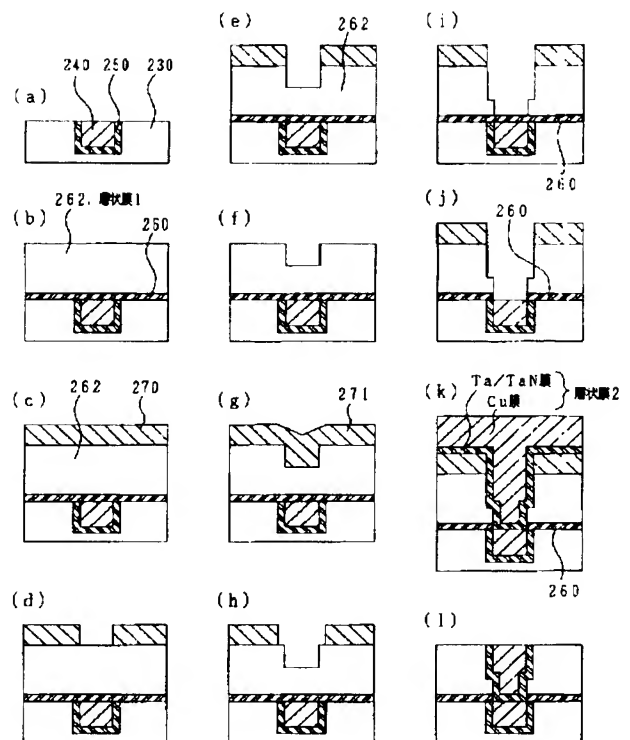
【図2】



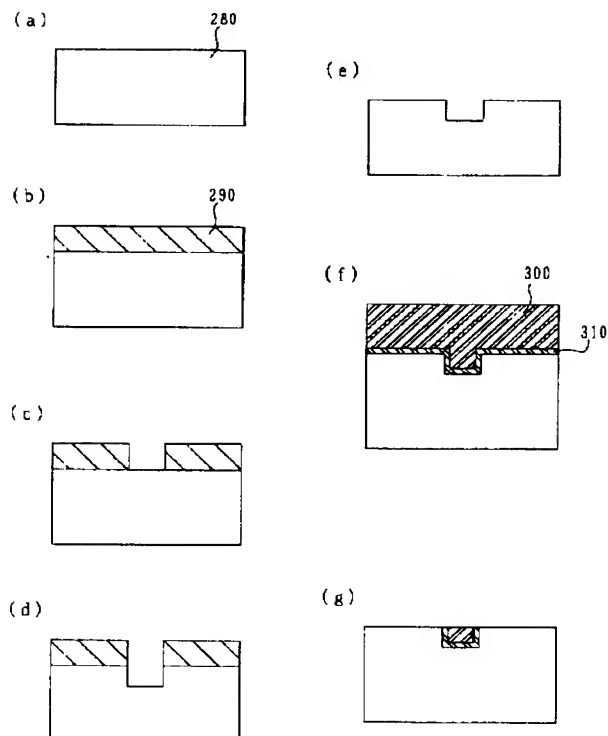
【図3】



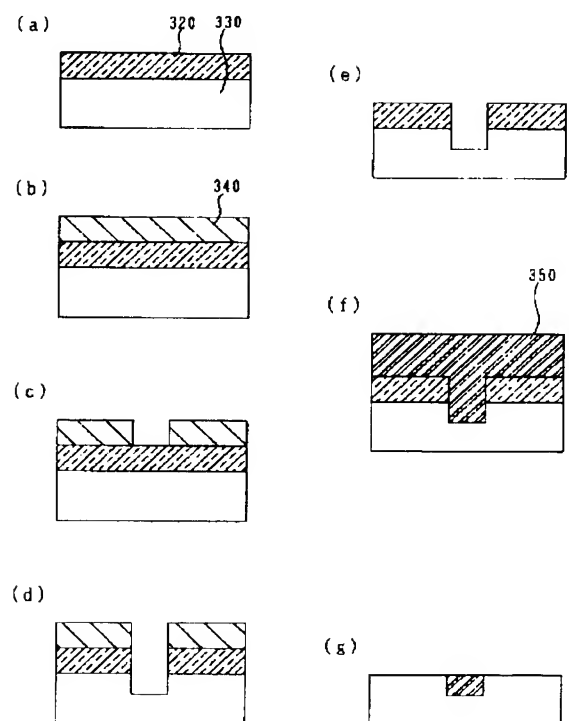
【図4】



【図5】

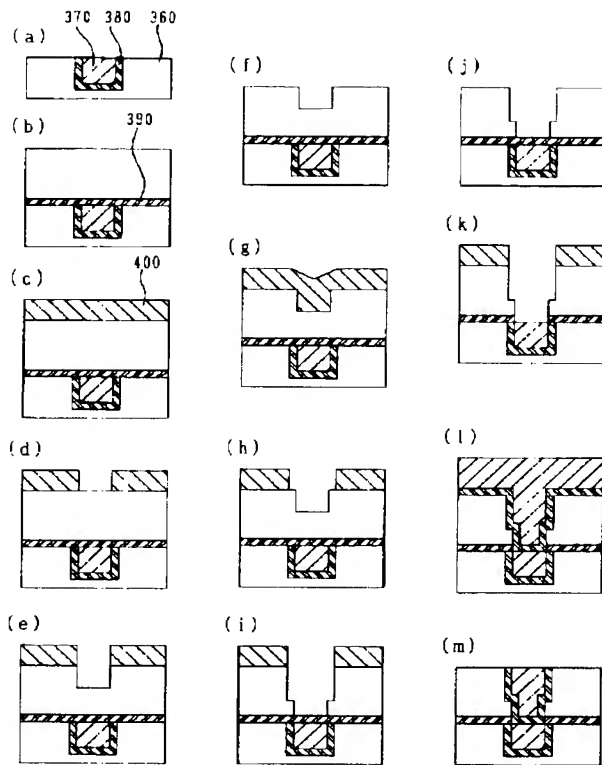


【図6】

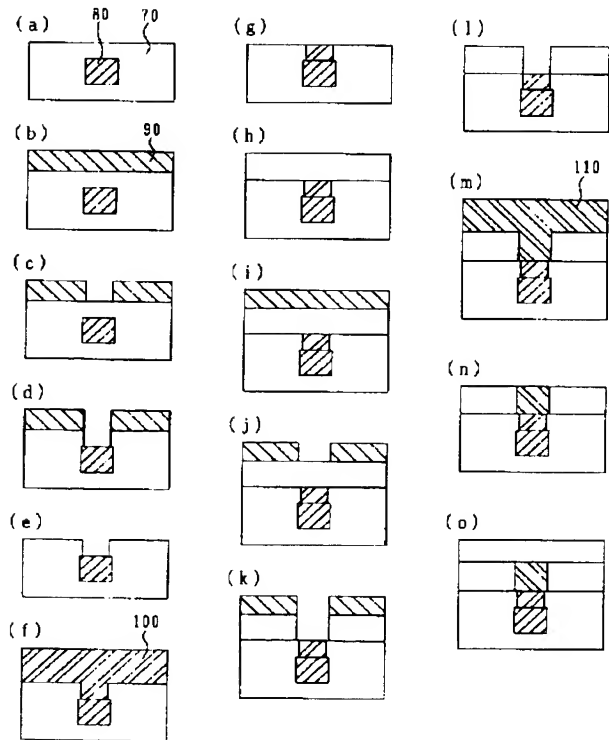




【図7】



【図9】



【図8】

